

# EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11017625  
PUBLICATION DATE : 22-01-99

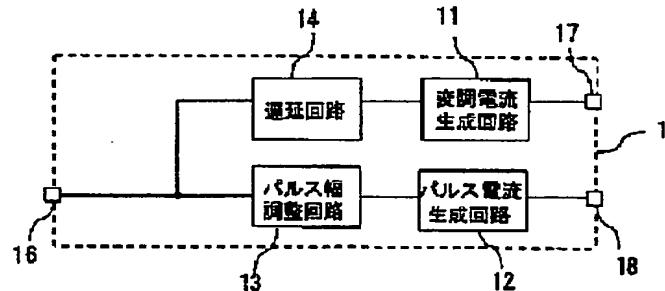
APPLICATION DATE : 26-06-97  
APPLICATION NUMBER : 09169915

APPLICANT : HITACHI LTD;

INVENTOR : NAKAHARA KOJI;

INT.CL. : H04B 10/28 H04B 10/26 H04B 10/14  
            H04B 10/04 H04B 10/06 H01S 3/096

**TITLE : LIGHT-EMITTING ELEMENT DRIVE CIRCUIT AND OPTICAL TRANSMITTER USING IT**



**ABSTRACT :** PROBLEM TO BE SOLVED: To prevent the deterioration in an optical output waveform and skew in the high-speed synchronous parallel optical transmitter.

**SOLUTION:** A light-emitting element drive circuit 1 is provided with a delay circuit 14, a modulation current generating circuit 11 that generates a 1st drive current, a pulse width adjustment circuit 13, and a pulse current generating circuit 12 that generates a 2nd drive current. The pulse current, generated to be a same pattern as that of the modulation current, is in a current-on state in precedence by a time  $t_{on}$  from the modulation current and reaches a current-off state substantially simultaneously as when an optical output turns into an on-state.

COPYRIGHT: (C)1999,JPO

**BEST AVAILABLE COPY**

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-17625

(43)公開日 平成11年(1999)1月22日

(51) Int.Cl.<sup>6</sup>

H 04 B 10/28  
10/26  
10/14  
10/04  
10/06

識別記号

F I

H 04 B 9/00  
H 01 S 3/096

Y

審査請求 未請求 請求項の数17 O L (全 11 頁) 最終頁に続く

(21)出願番号 特願平9-169915

(22)出願日 平成9年(1997)6月26日

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 深代 康之  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内

(72)発明者 高井 厚志  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内

(72)発明者 三浦 篤  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内

(74)代理人 弁理士 小川 勝男

最終頁に続く

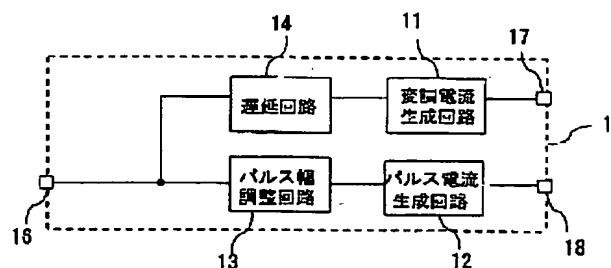
(54)【発明の名称】 発光素子駆動回路およびそれを用いた光送信器

(57)【要約】

【課題】高速同期並列光送信器において光出力波形劣化  
およびスキューを抑制する。

【解決手段】発光素子駆動回路1は、遅延回路14と、  
第1の駆動電流である変調電流生成回路11と、パルス  
幅調整回路13と、第2の駆動電流であるパルス電流生  
成回路12を備えている。変調電流と同一パターンとな  
るよう生成されたパルス電流は変調電流より時間t<sub>on</sub>  
だけ先行して電流オンとなり、光出力がオン状態となる  
とほぼ同時に電流オフとなる。

図1



## 【特許請求の範囲】

【請求項1】 入力信号に応じて発光素子の光出力を制御する発光素子駆動回路であって、前記発光素子にて所定の光出力パワが得られるよう設定された電流を出力する第1の駆動電流生成回路と、前記第1の駆動電流生成回路の出力の電流オンに対して先行して電流オンとなる電流を出力する第2の駆動電流生成回路とを備え、前記第2の駆動電流の振幅は前記第1の駆動電流の振幅以下で且つ発光素子のしきい電流値以上であり、前記第2の駆動電流のパルス幅は前記第1の駆動電流のパルス幅より小さいことを特徴とする発光素子駆動回路。

【請求項2】 入力信号に応じて発光素子の光出力を制御する発光素子駆動回路であって、前記入力信号に対し、パルス幅が時間  $t_0 n$  だけ拡張され、前記発光素子にて所定の光出力パワが得られるよう設定された電流を出力する第1の駆動電流生成回路と、前記第1の駆動電流生成回路の出力の電流オンとなつた時刻から時間  $t_0 n$  だけ遅延して電流オンとなる電流を出力する第2の駆動電流生成回路とを備え、前記第2の駆動電流の振幅は前記第1の駆動電流の振幅以下で且つ発光素子のしきい電流値以上であり、前記第2の駆動電流のパルス幅は前記入力信号のパルス幅より小さいことを特徴とする発光素子駆動回路。

【請求項3】 入力信号に応じて発光素子の光出力を制御する発光素子駆動回路であって、前記入力信号に対し、パルス幅が拡張され、前記発光素子にて所定の光出力パワが得られるよう設定された電流を出力する第1の駆動電流生成回路と、前記第1の駆動電流生成回路の出力が電流オフから電流オンとなると同時に電流オンとなる電流を出力する第2の駆動電流生成回路とを備え、前記第2の駆動電流の振幅は前記第1の駆動電流の振幅以下で且つ発光素子のしきい電流値以上であり、前記第2の駆動電流のパルス幅は前記入力信号のパルス幅より小さいことを特徴とする発光素子駆動回路。

【請求項4】 請求項1に記載の発光素子駆動回路において、第2の駆動電流の振幅と前記第2の駆動電流の先行時間は、発光素子からの光出力信号のパルス幅の減少量が所定の値  $\Delta t$  以下となるよう調整されており、第1の駆動電流と前記第2の駆動電流とがオーバーラップする時間が  $\Delta t$  以下となるよう、前記第2の駆動電流のパルス幅が調整されていることを特徴とする発光素子駆動回路。

【請求項5】 請求項2に記載の発光素子駆動回路において、第2の駆動電流の振幅と第1の駆動電流のパルス拡張幅は、発光素子からの光出力信号のパルス幅の減少量が所

定の値  $\Delta t$  以下となるよう調整されており、

第1の駆動電流と前記第2の駆動電流とがオーバーラップする時間が  $\Delta t$  以下となるよう、前記第2の駆動電流のパルス幅が調整されていることを特徴とする発光素子駆動回路。

【請求項6】 請求項3に記載の発光素子駆動回路において、

第2の駆動電流のパルス幅は、発光素子からの光出力信号に許容されるパルス幅変動量  $\Delta t$  以下であると共に、前記第2の駆動電流の振幅は、前記発光素子からの光出力信号のパルス幅変動量が  $\Delta t$  以下となるよう調整されていることを特徴とする発光素子駆動回路。

【請求項7】 請求項3に記載の発光素子駆動回路において、

第2の駆動電流のパルス幅は、発光素子からの光出力信号に許容されるパルス幅変動量  $\Delta t$  以下であるとともに、

第1の駆動電流のパルス拡張幅は、前記発光素子からの光出力に許容されるパルス幅増加量  $\Delta t_p$  以下であつて、

前記第2の駆動電流の振幅は、前記発光素子からの光出力信号のパルス幅変動量が  $\Delta t$  以下となるよう調整されていることを特徴とする発光素子駆動回路。

【請求項8】 請求項1から請求項7に記載の発光素子駆動回路において、

時間的に一定で且つ前記発光素子の発振しきい電流値以下の電流を出力する第3の駆動電流生成回路を備え、前記第3の駆動電流は前記発光素子の注入電流対端子間抵抗特性において、前記発光素子の端子間抵抗が概ね一定となる電流値であることを特徴とする発光素子駆動回路。

【請求項9】 請求項1から請求項8に記載の発光素子駆動回路において、

温度検出手段を備えると共に、

前記温度検出手段からの出力を入力とし、第1の駆動電流と第2の駆動電流と第3の駆動電流のうち少なくとも1つの電流振幅あるいは出力電流がオンとなるタイミングを前記発光素子駆動回路が駆動する発光素子の温度特性に応じて制御可能な温度特性制御回路を備えたことを特徴とする発光素子駆動回路。

【請求項10】 入力信号に応じて発光素子の光出力を制御する発光素子駆動回路であって、

前記入力信号のビットパターン検出手段と、

前記ビットパターン検出手段の出力に応じて出力電流の電流振幅もしくはパルス幅があらかじめ設定された値に調節される、少なくとも1つの駆動電流生成回路とを備えたことを特徴とする発光素子駆動回路。

【請求項11】 請求項10に記載の発光素子駆動回路において、

ビットパターン検出手段の出力に応じて出力電流を調節可

能な駆動電流生成回路は、あらゆるビットパターンに対して発光素子からの光出力信号のパルス幅が所定の値となるよう出力電流があらかじめ設定された値に調節されることを特徴とする発光素子駆動回路。

【請求項12】請求項10または請求項11記載の発光素子駆動回路において、

温度検出手段を備えると共に、

前記温度検出手段からの出力を入力とし、駆動電流の電流振幅あるいは出力電流がオンとなるタイミングを前記発光素子駆動回路が駆動する発光素子の温度特性に応じて制御可能な温度特性制御回路を備えたことを特徴とする発光素子駆動回路。

【請求項13】請求項1から請求項9のいずれか一に記載の発光素子駆動回路において、

ビットパターン検出手段を備えると共に、

前記ビットパターン検出手段の出力に応じて、第1の駆動電流のパルス拡張幅または第2の駆動電流の先行時間または電流振幅のうち少なくとも一つをあらかじめ設定された値に調整する手段を備えたことを特徴とする発光素子駆動回路。

【請求項14】発光素子と発光素子駆動回路からなる光送信器であって、

前記発光素子駆動回路は請求項1から請求項13のいずれか一に記載の発光素子駆動回路であることを特徴とする光送信器。

【請求項15】複数の発光素子と複数の発光素子駆動回路からなる光送信器であって、

前記複数の発光素子駆動回路のうち少なくとも一は請求項1から請求項13のいずれか一に記載の発光素子駆動回路であることを特徴とする光送信器。

【請求項16】請求項15記載の光送信器であって、複数の発光素子駆動回路の駆動電流振幅は、前記複数の発光素子駆動回路がそれぞれ駆動する発光素子の特性に対して調整されることを特徴とする光送信器。

【請求項17】請求項15記載の光送信器であって、複数の発光素子駆動回路の電流オンとなるタイミングは、前記複数の発光素子駆動回路がそれぞれ駆動する発光素子の特性に対して調整されることを特徴とする光送信器。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は発光素子駆動回路およびそれを用いた光送信器関し、特に高速伝送のため光送信波形の改善を図った発光素子駆動回路およびそれを用いた光送信器に関する。

##### 【0002】

【従来の技術】将来の情報インフラストラクチャ構築のためには、大容量非同期転送モード（Asynchronous Transfer Mode; ATM）交換機や超高速伝送装置、超並列コンピュータ等の高度情報

処理装置が不可欠である。近年の超大規模集積回路（VLSI）の発展に伴い、こうした高度情報処理装置の信号処理回路の高速および高密度化が可能となりつつあり、これに応じた装置間および装置内信号配線の高速および高密度化が必要である。

【0003】このような状況のもとで従来の電気ケーブルでは実現困難な高速および高密度信号配線を実現する技術として光配線技術の研究開発が活発化している。特に同期並列伝送が可能な光並列伝送装置による光配線は、並列処理されるデータ信号をそのまま伝送可能なため、データを多重化するシリアル光伝送装置による光配線と比較すると、多重化、クロック抽出、フレーム同期等に必要な回路が不要であり、装置間および装置内配線に適した技術である。同期並列伝送では、データ間の同期を保つため、伝送された並列データを受信側でクロックにより同期をとる。そのため、同期回路でのクロックとデータの位相余裕を確保することが必要である。従って、信号の相対的伝搬延時間差の低減（低スキューレ化）および光信号のデューティ劣化（パルス幅の変動）の抑制が重要課題である。

【0004】光並列伝送装置に用いられる光送信器では、光信号の安定な消光レベルを得るために、発光素子を発振しきい電流値以下にバイアスし、電気的クロストークの影響を抑圧している。その結果、発光素子に発振遅延が生じ、たとえ入力信号のデューティが50%であっても、光信号のデューティは50%未満となる。発振遅延時間 $T_d$ は、発光素子に変調電流を印加してから発光素子の注入キャリア密度が発振しきい値に達し発振するまでの遅延時間であり、発光素子のキャリア寿命、しきい電流およびバイアス電流や変調電流等駆動電流に依存する。また、発光素子特性の温度依存性ならびにチャネル間の製造ばらつきおよび駆動回路の製造ばらつきは、発振遅延時間の変動やチャネル間ばらつきによるスキーを生じる。

【0005】従って、並列伝送において良好な伝送特性を維持するためには、発光素子の発振遅延に起因する光信号のデューティ劣化を抑制し、製造ばらつきや発光素子特性の温度依存性に起因するスキーを低減することが重要である。

【0006】図12に、光並列伝送装置に用いられる従来の発光素子駆動回路を示す。この従来例で、発光素子駆動回路は、入力端子、変調電流生成回路、バイアス電流生成回路、温度検出手段、温度特性制御回路で構成される。変調電流生成回路は電流振幅 $I_m$ の変調電流を出し、バイアス電流生成回路は、しきい電流以下の直流バイアス電流を出力する。これら変調電流およびバイアス電流は、温度に対する光出力パワーよりも発振遅延時間の変動を抑制するよう、温度特性制御回路により制御される。本従来例の発光素子駆動回路で発光素子を駆動した場合、発振遅延時間 $t_d$ （T）および光出力パワ $P$

$\omega_{out}(T)$  は近似的に次式で与えられる。

【0007】

$$i_d(T) = \tau_n(T) \times \ln\left(\frac{I_m(T)}{I_m(T) + I_b(T) - I_{th}(T)}\right) \dots \dots (1)$$

【0008】

$$P_{out}(T) = \eta(T) \times (I_m(T) + I_b(T) - I_{th}(T)) \dots \dots (2)$$

【0009】ここで、 $\tau_n(T)$  は発光素子のキャリア寿命、 $I_{th}(T)$  はしきい電流、 $\eta(T)$  はスロープ効率、 $I_m(T)$  は変調電流、 $I_b(T)$  はバイアス電流、 $T$  は温度である。変調電流およびバイアス電流は、例えば、発振遅延時間  $t_d(T)$  および光出力パワ  $P_{out}(T)$  が温度に対して一定となる様、上の2式を  $I_m(T)$  および  $I_b(T)$  の連立方程式として解くことにより決定される。

【0010】本従来例によれば、発光素子の温度変動に対して光出力パワ変動および発振遅延時間変動が抑制されるので、発光素子特性の温度依存性に起因するスキーの抑制が可能である。このような従来の発光素子駆動回路および光並列送信器として、例えば1996年電子情報通信学会エレクトロニクスソサイエティ大会の講演論文集2、SC-5-4、224から225頁に記載のものが知られている。

【0011】光並列伝送装置への適用を前提とはしていないが、発光素子の発振遅延による光信号のデューティ劣化の抑制が可能な発光素子駆動回路の他の従来例を図13に示す。ここで発光素子駆動回路は、信号入力端子、遅延回路、OR回路、変調電流增幅回路および出力端子で構成される。入力された信号は2分岐された後、その一方が遅延回路で時間  $d$  だけ遅延され、2分岐したもう一方の信号とともにOR回路に入力される。パルス幅が  $d$  だけ拡張された前記OR回路の出力は、変調電流生成回路にて電流振幅  $I_m$  に変換された後、出力される。従って、遅延時間  $d$  を発光素子の発振遅延を相殺するように設定することにより、発振遅延によるデューティ劣化を抑制できる。このような従来の発光素子駆動回路として、例えば特開平2-60331号公報が挙げられる。

【0012】また、特開昭55-133588号公報には、パターン検出遅延回路により生成される前置パルス幅を検波回路で制御する構成が記載されているが、検波器および位相器を用いているため多チャンネルの伝送装置には適さない回路となっている。特開平4-283978号公報には、パルスバイアス発生手段を備えたレーザダイオード駆動回路が記載されている。また、特開平7-38184号公報には、レーザの閾値未満の先行パルスバイアス電流を印加するレーザダイオードの駆動方法が記載されている。さらに、特開平8-64890号公報には、直流バイアスに重畠パルスを加えた構成の半

【数1】

【数2】

導体レーザの構成方法が記載されている。

【0013】

【発明が解決しようとする課題】上述の高度情報処理装置の高性能化のためには、光並列伝送装置の高スループット化が必要であり、そのためには1チャネル当たりの伝送速度を高速化することが有効である。伝送速度を高速化しても良好な同期並列伝送を実現するためには、タイムスロットの減少に応じて、さらに発振遅延およびスキーを低減する必要がある。しかしながら、上述の従来例では、以下に示す問題が生じる。

【0014】第1の従来例の発光素子駆動回路では、発振遅延時間を低減するため、しきい電流とバイアス電流の差を小さくする必要がある。しかし、変調電流の電流オフに伴って発振しきい値以下となった発光素子活性層の注入キャリア密度は数ナノ秒の時定数（キャリア寿命）で指數関数的に減少するため、リングングやクロストークによるバイアス電流のレベル変動により、注入キャリア密度が再びしきい値に達し、本来光出力が消光レベルであるべき部分で発光する可能性がある。こうした波形劣化は伝送されたデータの識別誤りを生じ、伝送特性を劣化させる。信号が高速化するほど、駆動電流波形の立ち上がり部分に生じるリングングやクロストークを抑制することは困難であり、上記リングングやクロストークによる波形劣化を抑制可能な発光素子駆動回路が必要とされていた。

【0015】第2の従来例である発光素子駆動回路は、光並列送信器へ適用する場合、遅延回路の製造ばらつきによる遅延時間の設計値からのずれが、直接、光出力信号の立ち上がり時刻の変動となり、伝送された並列データの同期はずれの原因となる。従って、発振遅延時間が信号1ビットのパルス幅に対して数10パーセントに達する高速同期並列伝送では、遅延回路の製造ばらつきによるスキーの低減が必要であった。

【0016】また、発光素子のキャリア密度は、駆動電流がオフとなった後、指數関数的に減少するため、キャリア寿命が信号周期と同程度になる高速伝送では、残留キャリアが等価的なバイアス電流となる。その結果、光送信器では、各チャネルのビットパターンに依存した発振遅延時間の変動による波形劣化が生じ、伝送特性劣化の原因となる。このため、バイアス電流を用いないか、あるいは発光素子のしきい電流以下のバイアス電流を印加する駆動方式で高速伝送を行う場合、残留キャリアによ

る波形劣化を低減する発光素子駆動回路が必要であった。

【0017】本発明の目的は、上記課題に鑑み、高速化された信号に対しても、リングイングおよびクロストークによる波形劣化が抑制され、製造ばらつきや残留キャリアによる波形劣化やスキューが低減された発光素子駆動回路を提供することと、伝送信号を高速化した場合でも良好な伝送特性を有する光送信器を提供することにある。

#### 【0018】

【課題を解決するための手段】本発明は、発光素子の光出力パワーが所定の値となるよう設定された第1の駆動電流と、前記第1の駆動電流と異なるタイミングで電流がオンとなり、前記第1の駆動電流とのオーバーラップ時間が、許容される光信号のパルス幅減少量以下であるような第2の駆動電流を出力する発光素子駆動回路であって、入力信号のビットパターン検出手段を備えた発光素子駆動回路とするものである。

【0019】本発明による発光素子駆動回路によれば、先に電流オンとなった駆動電流が後から発光素子に印加される駆動電流の立ち上がり部でのみ存在する等価的なバイアス電流となるため、直流バイアス電流が不要か、あるいはしきい電流に比べて直流バイアス電流が十分小さく設定できる。従って、発振遅延時間が低減され、第1の駆動信号が電流オンから電流オフへ変化する際、第1の駆動電流波形の立ち下がり部に生じるリングイングおよびクロストークによる光出力波形劣化および第2の駆動電流印加による光出力波形劣化が抑制された発光素子駆動回路が実現される。

【0020】また、パルス幅が拡張された第1の駆動電流に対して遅延して電流オンとなり、パルス幅が光出力のパルス幅減少量程度である第2の駆動電流を印加することにより、第1の駆動電流のパルス幅のばらつきは第2の駆動電流のバイアス電流のばらつきに変換されるので、発光素子の光出力のパルス幅に対する製造ばらつきの影響が低減できる。

【0021】また、パルス幅が拡張された第1の駆動電流と同時に電流オンとなり、パルス幅が光出力のパルス幅減少量程度である第2の駆動電流を印加することにより、第2の駆動電流なしの場合と比較して第1の駆動電流のパルス拡張幅が小さく済み、且つ光出力パワーをほとんど増加することなく発光素子の発振に寄与する電流値を大きくできるので、発光素子の光出力のパルス幅劣化を低減できる。

【0022】さらに本発明によれば、ビットパターン検出手段の出力に応じて発振遅延による波形劣化を抑制するための駆動電流の出力を調節することにより、残留キャリアの影響によるスキューが低減された発光素子駆動回路が実現される。

【0023】本発明による光送信器によれば、本発明に

よる発光素子駆動回路を備えることにより、発振遅延が低減され、リングイングおよびクロストークによる光出力波形劣化が抑制され、遅延回路の製造ばらつきによるスキューが低減された光送信器が提供されるので、信号を高速化した場合でも良好な伝送特性を有する光送信器が実現される。

#### 【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1は本発明による発光素子駆動回路の第1の実施例を示すものである。図1において発光素子駆動回路1は、入力端子16、遅延回路14、第1の駆動電流である変調電流生成回路11およびその出力端子17、パルス幅調整回路13、第2の駆動電流（ここではパルス電流と呼ぶ）生成回路12およびその出力端子18で構成される。

【0025】入力端子16より入力された電気信号は2分岐され、分岐された一方の信号は、遅延回路14にて時間 $t_0n$ だけ遅延された後、変調電流生成回路11にて電流振幅 $I_m$ の信号に変換され、第1の駆動信号として出力される。分岐されたもう一方の信号は、パルス幅調整回路13にて、パルス幅 $t_w$ に変換された後、パルス電流生成回路にて電流振幅 $I_bp$ の第2の駆動信号として出力される。

【0026】図2に本発明による発光素子駆動回路の出力波形および本駆動回路で発光素子を駆動した場合の光出力波形の例を示す。図2(a)は発光素子に変調電流 $I_m$ に加え、変調電流の電流オンより時間 $t_0n$ だけ先行してパルス電流 $I_bp$ がオンし且つ変調電流の電流オンと同時にパルス電流をオフする場合、図2(b)は、変調電流がオンして一定の時間後、パルス電流がオフする場合である。

【0027】変調電流のみで発光素子を駆動した場合の光出力は、図2(a)中の破線の波形で示すように発振遅延による立ち上がり部分でのパルス幅劣化が大きい。一方、変調電流に先行して電流オンとなるパルス電流を付加して発光素子を駆動した場合、パルス電流による注入キャリア密度の増加が等価的にバイアス電流の役割を果たすので、図2(a)の実線で示したように発振遅延によるパルス幅の減少を抑制できる。従って、直流バイアス電流が不要、もしくは発光素子のしきい電流より十分小さい直流バイアス電流で済むので、変調電流オフ時のリングイングやクロストークによる光出力波形劣化を抑制できる。

【0028】また、図2(b)に示したように変調電流とパルス電流にオーバーラップを設けると、図2(a)の場合と比較し発振に寄与する駆動電流を大きくできるのでさらにパルス幅劣化の低減が可能である。特性ばらつきがある複数の発光素子に対しては、しきい電流が最大の発光素子の光出力のパルス幅劣化量が所定の値以下となるよう $I_bp$ および $t_0n$ を設定することで、チャ

ネル毎の駆動電流の調整は不要となる。またパルス電流のパルス幅は、変調電流とのオーバーラップ時間が上述のパルス幅劣化量程度になるよう設定することにより、パルス電流印加による光出力波形劣化を抑制可能である。

【0029】図3に、図1および図2で示した実施例による発光素子回路の回路構成例および回路内部波形の模式図を示す。図3(a)において、発光素子駆動回路1は、入力端子16、遅延回路14-1および14-2、AND回路20、変調電流を生成するための電流スイッチ回路11およびその出力端子17、パルス電流を生成するための電流スイッチ回路12およびその出力端子18から構成される。本実施例によれば、図3(b)に示すように、変調電流に加え、変調電流の電流オンに時間 $t_{on} = d_1$ だけ先行して電流オンとなり、パルス幅が $t_w = d_1 + d_2$ のパルス電流を生成する発光素子駆動回路が実現できる。

【0030】図4に本発明による発光素子駆動回路の第2の実施例を示す。図4において発光素子駆動回路は、入力端子16、パルス幅調整回路13-1、変調電流生成回路11およびその出力端子17、遅延回路14、パルス幅調整回路13-2、パルス電流生成回路12およびその出力端子18から構成される。入力端子16からの信号は2分岐され、一方の信号はパルス幅拡張回路13-1にて時間 $t_{on}$ だけパルス幅が拡張された後、変調電流生成回路11にて電流振幅 $I_m$ の変調電流に変換され出力端子17より出力される。2分岐されたもう一方の信号は、遅延回路14にて、パルス電流が変調電流の電流オンから時間 $t_{on}$ だけ遅れて電流オンとなるよう遅延された後、パルス幅調整回路13-2にてパルス幅が調整され、電流振幅 $I_bp$ のパルス電流として出力端子18から出力される。

【0031】図4で示した本発明による発光素子回路の回路構成例および回路内部波形の模式図を図5に示す。図5(a)において、発光素子駆動回路は、入力端子16、遅延回路14-1および14-2、OR回路30、AND回路20、変調電流を生成するための電流スイッチ回路11およびその出力端子17、パルス電流を生成するための電流スイッチ回路12およびその出力端子18から構成される。入力端子16からの信号は2分岐された後、一方の信号は遅延回路14-1にて時間 $d_1$ だけ遅延される。遅延回路14-1の出力は3分岐され、そのうち1つの信号は、2分岐されたもう一方の信号とともにOR回路30に入力される。パルス幅が $d_1$ だけ拡張された信号であるOR回路30の出力は、電流スイッチ回路11に入力され、電流振幅 $I_m$ の変調電流に変換され出力端子17から出力される。3分岐された信号のうち別の1つは遅延回路14-2にて $d_2$ だけ遅延されて、その反転信号が3分岐された信号のうち残りの1つとともにAND回路20に入力される。AND回路2

0の出力は、電流スイッチ回路12にて電流振幅 $I_bp$ のパルス電流に変換され出力端子18から出力される。本実施例によれば、図5(b)に示すように、パルス電流は、変調電流の電流オンより時間 $t_{on} = d_1$ だけ遅れて電流オンとなり、パルス幅が $t_w = d_2$ となる発光素子駆動回路が実現される。

【0032】本発明による発光素子駆動回路の第3の実施例を図6に示す。図6(a)において、発光素子駆動回路は、入力端子16、遅延回路14-1および14-2、OR回路30、AND回路20、変調電流を生成するための電流スイッチ回路11およびその出力端子17、パルス電流を生成するための電流スイッチ回路12およびその出力端子18から構成される。入力端子16からの信号は3分岐され、その第1信号は遅延回路14-1に入力され、第2信号はOR回路30に入力され、第3信号はAND回路20に入力される。遅延回路14-1の出力は2分岐され、その第1信号はOR回路30に入力され、第2信号は遅延回路14-2に入力される。OR回路30の出力は変調電流生成回路11にて電流振幅 $I_m$ に変換され、出力端子17から出力される。遅延回路14-2の出力は反転されAND回路20へ入力される。AND回路20の出力は電流スイッチ回路12で電流振幅 $I_bp$ に変換され出力端子18から出力される。本実施例によれば、図6(b)に示すように変調電流はパルス幅が $d_1$ だけ拡張されており、パルス電流は、変調電流と同時に電流オンとなり、そのパルス幅が $t_w = d_1 + d_2$ となる発光素子駆動回路が実現される。

【0033】次に本発明による発光素子駆動回路の第4の実施例を図7を用いて説明する。図7は、本発明による発光素子駆動回路にビットパタン検出回路を付加したものである。図7(a)はビットパタン検出回路からの制御信号により第2の駆動電流であるパルス電流の出力オン、オフを制御可能な発光素子駆動回路、図7(b)はビットパタン検出回路からの制御信号により第1の駆動電流である変調電流のパルス幅を制御可能な発光素子駆動回路のブロック構成図である。

【0034】ビットパタン検出回路付加の効果を説明するため、一例として、図3(a)に示した発光素子駆動回路に3ビット分のビットパタン検出回路を付加した場合の回路構成例および内部波形の模式図を図8に示す。図8(a)において発光素子駆動回路は、データ入力端子16-1、クロック入力端子16-2、フリップフロップ回路70-1、第1の遅延回路14-1、変調電流を生成する第1の電流スイッチ回路11およびその出力端子17、第2の遅延回路14-2、第1のAND回路20-1、ビットパタン検出回路40、第2のAND回路20-2、パルス電流を生成する第2の電流スイッチ回路12およびその出力端子18より構成される。ビットパタン検出回路40は、3個のフリップフロップ回路

70-2～4と2個のAND回路20-3、20-4で構成される。本実施例でビットパタン検出回路40は、

“001”パタン入力時のみAND回路20-4から論理“1”的制御信号を出力する。AND回路20-2はAND回路20-1の出力とAND回路20-4の出力の論理積を出力するので、AND回路20-2の出力を入力とする第2の電流スイッチ回路12は、“001”パタン入力時のみパルス振幅I<sub>bp</sub>のパルス電流を出力する。従って、発光素子の残留キャリアの影響が大きい“101”パタン時には、パルス電流を付加せずに発光素子を駆動できるので、残留キャリアとパルス電流によるスキーを抑制できる。

【0035】また、駆動波形例として、図9(a)に示した様に立ち上がり部にパルス電流を付加した変調電流に対し変調電流の立ち上がり部に先行して電流オンとなるパルス電流をビットパタンに応じてオンオフしても良く、また図9(b)に示した様に変調電流のパルス幅をビットパタンにより制御しても良いが、本発明の効果はここで示した駆動電流波形に限定されるものではない。

【0036】図10は、図9で示した発光素子駆動回路を用いた光送信器の実施例である。図10において光送信器90は、データ入力端子16-1と、クロック入力端子16-2と、波形整形回路71と、本発明による発光素子駆動回路1と、発光素子81とからなる。本発明によれば、ビットパタンにより駆動電流が制御されるので、光出力波形への残留キャリアの影響が低減された光送信器が実現できる。

【0037】上述の実施例では、“001”パタンを検出するビットパタン検出回路の例を示したが、検出するパタンは、信号周期とキャリア寿命とを考慮して決定されるべきもので、ここに示したパタンに限定されるものではない。

【0038】次に本発明による光送信器の別の実施例として、光並列送信器の構成を図11に示す。図11において、光並列送信器は、nチャネルの並列データ入力端子16-1、クロック入力端子16-2、波形整形回路71、フリップフロップ回路70-5、発光素子駆動回路アレイ10、発光素子アレイ80、温度検出回路50、温度特性制御回路60から構成される。発光素子駆動回路アレイ10は、図6で示した本発明による発光素子駆動回路と、ビットパタン検出回路と、発光素子のしきい電流より十分小さいバイアス電流を出力するバイアス電流生成回路15-1とで構成されるデータチャネル用駆動回路と、クロック用バイアス電流生成回路15-2と、クロック用変調電流生成回路11-2と、遅延回

路14-3とで構成されるクロック用駆動回路を集積化したものである。

【0039】入力データ信号は、波形整形回路71にて波形整形された後、フリップフロップ70-5にて各データチャネルの位相が揃えられ、チャネル毎に各発光素子駆動回路へ入力される。変調電流I<sub>m</sub>、バイアス電流I<sub>b</sub>、パルス電流I<sub>bp</sub>は、温度による発光素子アレイ80の光出力変動や発振遅延変動が所定の範囲内となるよう、温度特性制御回路により制御されている。クロック用バイアス電流は、クロック用光信号の発振遅延によるデューティ劣化を無くすため、発光素子のしきい電流より大きな値に設定されている。本実施例によれば、発光素子アレイと、本発明による発光素子駆動回路を集積化した発光素子駆動回路アレイを用いることにより、各チャネルの光出力の波形劣化やスキーが十分低減された光並列送信器が実現される。

【0040】以上、本発明による発光素子駆動回路および光送信器の実施例を示したが、本発明の有効性は上述の構成の発光素子駆動回路および光送信器に限定されるものではない。

【0041】次に本発明の効果を定量的に説明しよう。図3または図5で示した発光素子駆動回路により発光素子を駆動する場合について具体的に示す。発光素子として、常温時、キャリア寿命τ<sub>n</sub> = 2.5 n.s、しきい電流I<sub>th</sub> = 2.0 mA、スロープ効率κ = 0.4 W/Aの特性のものを用い、駆動電流値として、各チャネルの光出力パワがP<sub>o</sub> = 2 mWを得られるよう設定する。ここではチャネル当たり1 Gbit/sでの同期伝送を行うため、発光素子の光出力パルス幅劣化量を100 ps以下、製造ばらつきによるスキーを±100 ps以下に抑制するものとする。

【0042】第1の従来例による光並列送信器によれば、式(1)および式(2)から、変調電流I<sub>m</sub> = 5.2 mA、バイアス電流I<sub>b</sub> = 1.8 mAとすることにより、P<sub>o</sub> = 2 mWとし且つ発振遅延による光出力パルス幅減少量を100 ps以下とすることが可能である。しかしながら、従来例では、発振遅延時間を低減するため、I<sub>th</sub> - I<sub>b</sub>で与えられるノイズマージンが2.0 - 1.8 = 0.2 mAしかなく、リングングやクロストークによる波形劣化を生じる可能性が大きい。図3で示した本発明による発光素子駆動回路を用いた場合、光出力パルス幅劣化量は、近似的に次式で与えられる。

【0043】

【数3】

$$t_d(T) = \tau_n(T) \times \ln\left(\frac{I_m(T) + I_{bp}(T) \cdot \exp(-t_{on}/\tau_n(T))}{I_m(T) + I_b(T) + I_{bp}(T) - I_{th}(T)}\right) \dots \dots (3)$$

【0044】ここで、パルス電流は光出力パワへの寄与がほとんどないため、光出力パワは式(1)で与えられ

る。バイアス電流は、注入電流に対して発光素子の電気抵抗がほぼ一定となり高速変調に有利な最低電流程度で

ある  $I_b = 0.2 \text{ mA}$  に設定する。この時、変調電流は  $P_o = 2 \text{ mW}$  となるよう  $I_m = 6.8 \text{ mA}$  となる。本発明による発光素子駆動回路によれば、例えばパルス電流を変調電流の 0.8 倍の  $I_{bp} = 5.44 \text{ mA}$  とし、パルス電流を変調電流の電流オンに  $730 \text{ ps}$  先行して電流オンとすることにより、パルス幅劣化を  $100 \text{ ps}$  以下とすることができる。この時のノイズマージンは従来方式と比較して十分大きな値  $2.0 - 0.2 = 1.8 \text{ mV}$  が確保できる。しきい電流ばらつきが  $\pm 10\%$  の場合には、上記駆動電流時のスキーは  $\pm 50 \text{ ps}$  となるので、変調電流とパルス電流のオーバーラップ時間を  $150 \text{ ps}$  程度とすることにより、しきい電流にばらつきのある発光素子アレイに対しても、全チャネルのパルス幅劣化量を  $100 \text{ ps}$  以下とでき、且つパルス電流印加による過剰な光パワ出力および波形劣化を抑制できる。

$$t_d(T) = \tau_n(T) \times \ln\left(\frac{I_m(T) \cdot \exp(-t_{on}/\tau_n(T)) + I_{bp}(T)}{I_m(T) + I_b(T) + I_{bp}(T) - I_{th}(T)}\right) \dots \dots (4)$$

【0047】変調電流を従来例と等しく設定する場合、第2の駆動電流として変調電流の 0.5 倍の電流振幅  $3.5 \text{ mA}$  のパルス電流を印加し、変調電流のパルス拡張幅を  $600 \text{ ps}$  とすることにより、光出力パルス幅劣化量を  $100 \text{ ps}$  以下に低減でき、さらに遅延回路の遅延時間ばらつきに起因するスキーを従来の約  $50\%$  である  $\pm 70 \text{ ps}$  に低減できる。

#### 【0048】

【発明の効果】以上述べたように本発明によれば、発光素子駆動回路において、駆動電流のリングやクロストークによる光出力波形劣化を抑制し且つ発光素子の発振遅延によるパルス幅の減少やスキーを低減する効果が得られるので、高スループットな光送信器が可能となり、光長距離超高速伝送装置や大容量交換機、超並列コンピュータ等の高度情報処理システムの経済的な構築に貢献できる。

#### 【図面の簡単な説明】

【図1】本発明の発光素子駆動回路の第1の実施例を示すブロック図である。

【図2】本発明の発光素子駆動回路の第1の実施例における駆動電流と光出力パワの関係を示す図である。

【図3】本発明の発光素子駆動回路の第1の実施例の構成図と波形を説明する図である。

【図4】本発明の発光素子駆動回路の第2の実施例を示すブロック図である。

【0045】また、駆動電流のパルス幅の拡張により発振遅延による光出力パルス幅劣化を補償する第2の従来例では、 $I_m = 6.8 \text{ mA}$ 、 $I_b = 0.2 \text{ mA}$ 、図13中の遅延回路における遅延量  $d = 670 \text{ ps}$  とし、変調中のパルス幅を  $670 \text{ ps}$  拡張することで、光出力のパルス幅劣化量を  $100 \text{ ps}$  以下に低減できる。しかしながら、遅延回路の製造ばらつきとして  $\pm 20\%$  程度を考えると、遅延回路の遅延時間ばらつきに起因するスキーは約  $\pm 130 \text{ ps}$  以上に達するため、良好な同期並列伝送を維持することが困難となる。図5で示した本発明による発光素子駆動回路によれば、光出力パルス幅劣化量は、近似的に次式で与えられる。

#### 【0046】

#### 【数4】

【図5】本発明の発光素子駆動回路の第2の実施例の構成図と波形を説明する図である。

【図6】本発明の発光素子駆動回路の第3の実施例の構成図と波形を説明する図である。

【図7】本発明の発光素子駆動回路の第4の実施例のブロック図である。

【図8】本発明の発光素子駆動回路の第4の実施例の構成図と波形を説明する図である。

【図9】本発明の発光素子駆動回路の第4の実施例の発光素子駆動回路の出力波形を説明する図である。

【図10】本発明の光送信器の実施例を示す構成図である。

【図11】本発明の光送信器の他の実施例を示す構成図である。

【図12】従来例1の構成図である。

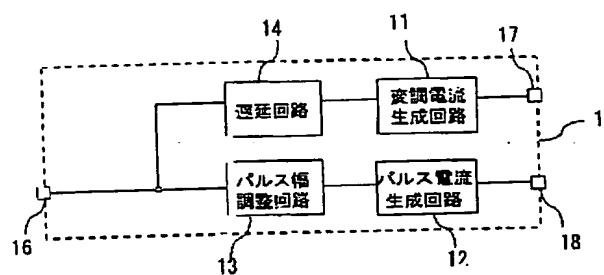
【図13】従来例2のブロック図である。

#### 【符号の説明】

1…発光素子駆動回路、11…変調電流生成回路、12…パルス電流生成回路、13…パルス幅調整回路、14…遅延回路、15…バイアス電流生成回路、20…AN D回路、30…OR回路、40…ビットパタン検出回路、50…温度検出回路、60…温度特性制御回路、70…フリップフロップ回路、71…波形整形回路、80…発光素子アレイ、81…発光素子、90…光送信器。

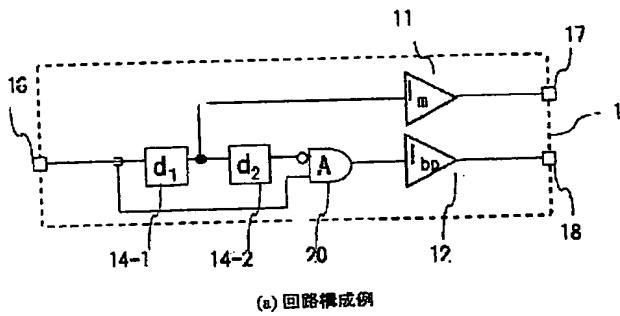
【図1】

図1

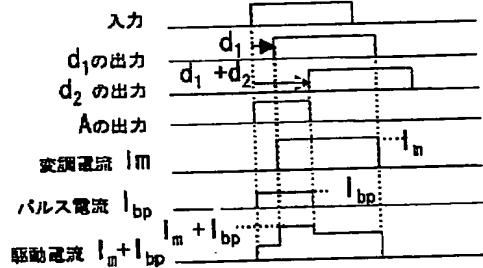


【図3】

図3



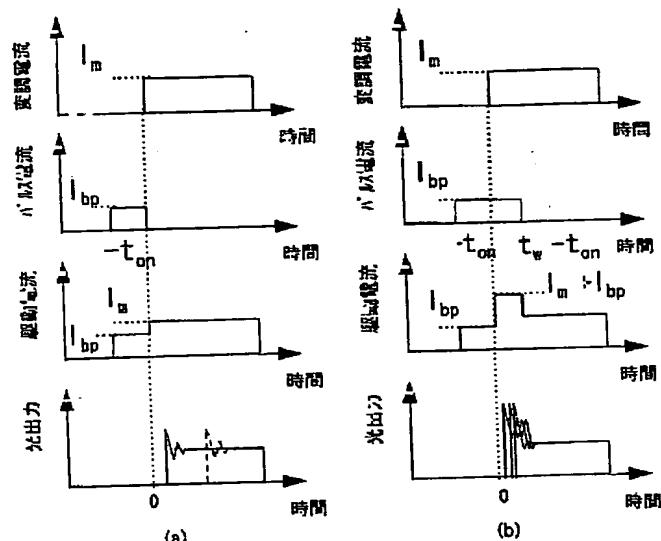
(a) 回路構成例



(b) 回路内部波形及び駆動電流波形 (1ビット分)

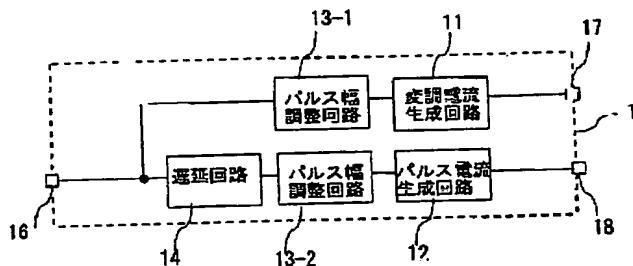
【図2】

図2



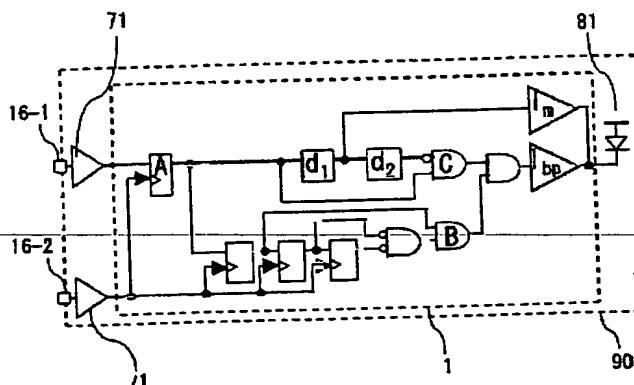
【図4】

図4



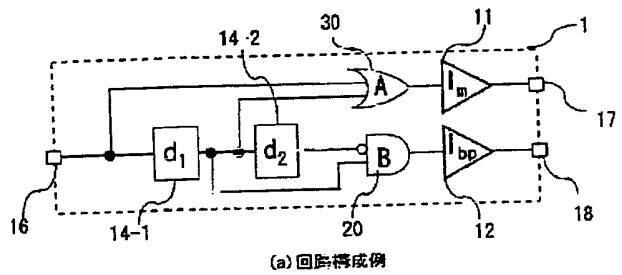
【図10】

図10

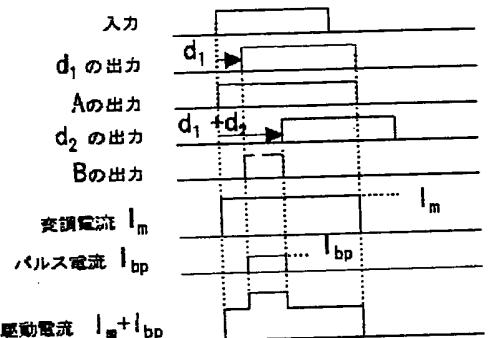


【図5】

図5



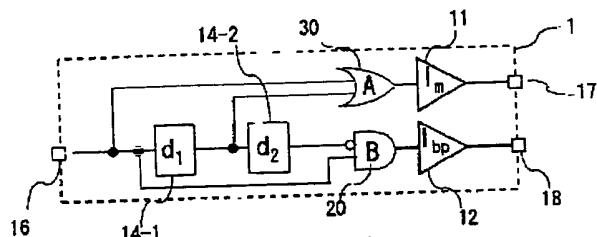
(a) 回路構成例



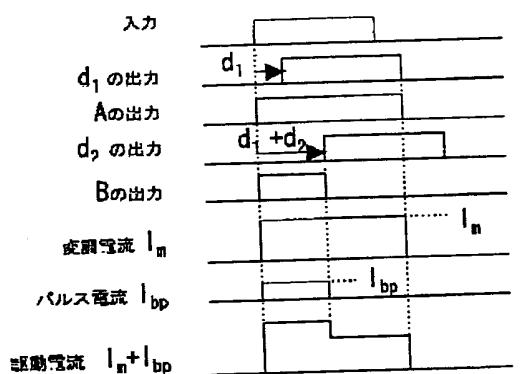
(b) 回路内部波形及び駆動電流波形 (1ビット分)

【図6】

図6



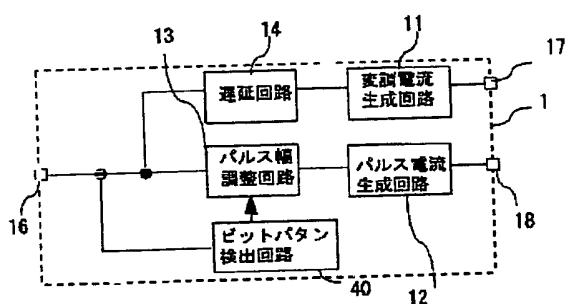
(a) 回路構成例



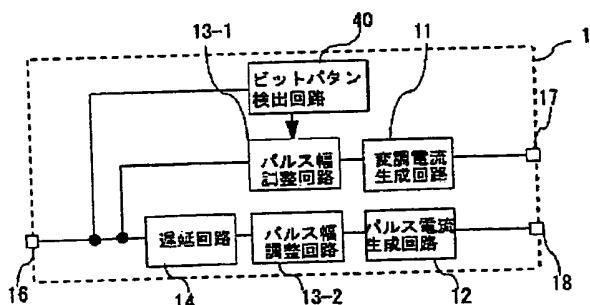
(b) 回路内部波形及び駆動電流波形 (1ビット分)

【図7】

図7



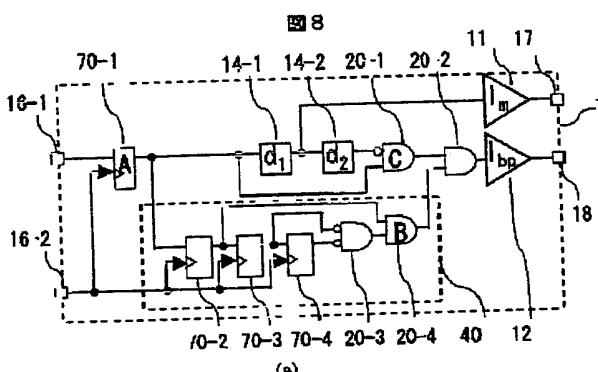
(a) ビットパタンによりパルス電流のオン・オフを制御する場合



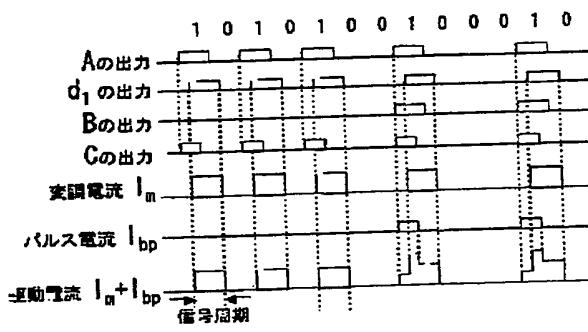
(b) ビットパタンによりパルス幅を制御する場合

【図8】

図8

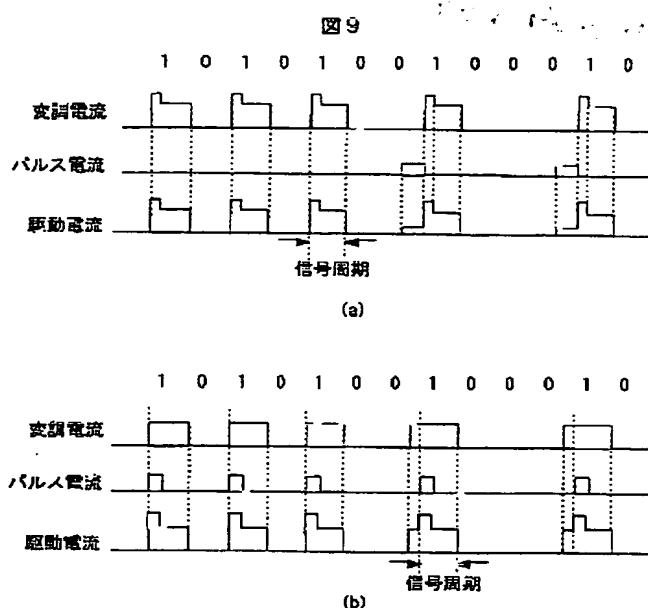


(a)

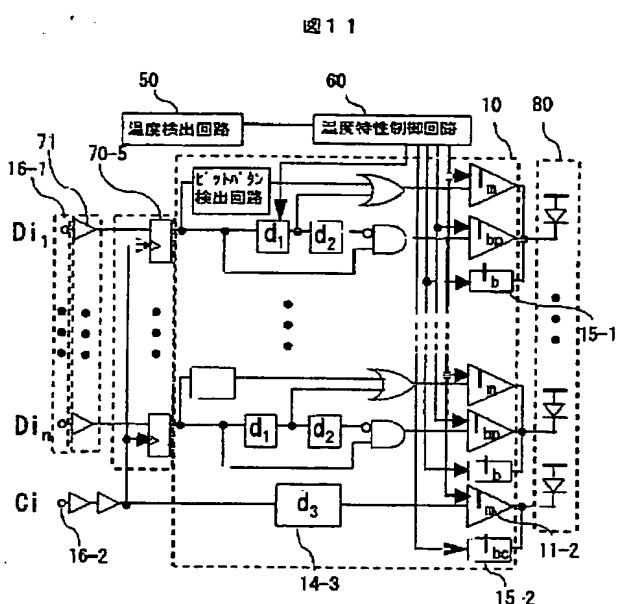


(b)

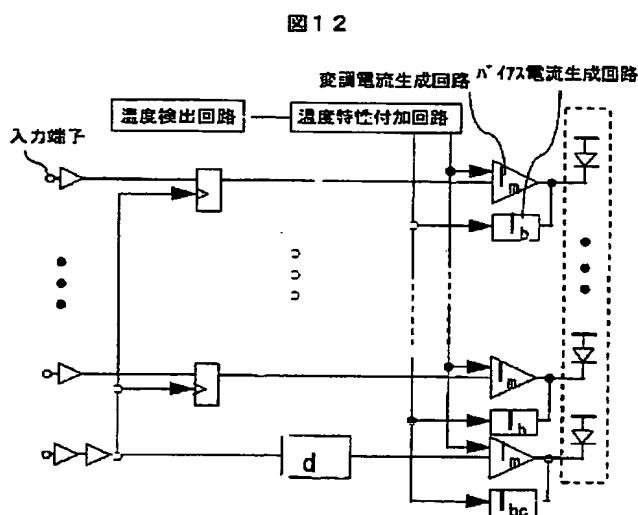
【図9】



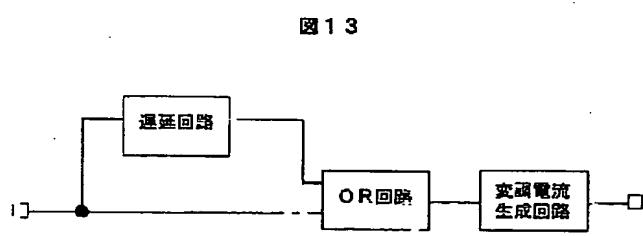
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 01 S 3/096

(72) 発明者 中原 宏治

東京都国分寺市東恋ヶ窪一丁目280番地株  
式会社日立製作所中央研究所内

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)